

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 0 - 3 0 3 3 7 8

(43) 公開日 平成 1 0 年 (1 9 9 8) 1 1 月 1 3 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/10	451		H01L 27/10	451
G11C 11/22			G11C 11/22	
11/56			11/56	
H01L 21/8247			H01L 29/78	371
29/788				

審査請求 未請求 請求項の数 1 3 O L (全 1 6 頁) 最終頁に続く

(21) 出願番号 特願平 9 - 3 0 1 1 4 4

(22) 出願日 平成 9 年 (1 9 9 7) 1 0 月 3 1 日

(31) 優先権主張番号 1 9 9 6 P 5 1 8 6 2

(32) 優先日 1 9 9 6 年 1 0 月 3 1 日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 3 9 0 0 1 9 8 3 9
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞 4 1 6

(72) 発明者 柳 寅敬
大韓民国京畿道水原市勤普区勤善洞 1 2 4
0 番地 現代アパート 2 1 0 棟 1 4 0 3 号

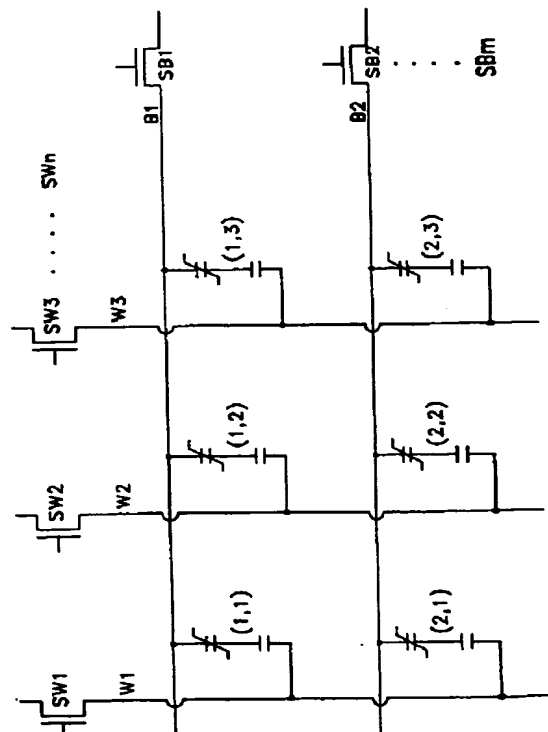
(74) 代理人 弁理士 小野 由己男 (外 1 名)

(54) 【発明の名称】 漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ及びその製造方法

(57) 【要約】

【課題】 漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ及びその製造方法を提供する。

【解決手段】 漏れ電流を用いたマトリックス型強誘電体メモリは、誘電体及び強誘電体キャパシターから形成されたその単位セルをマトリックス型で結線し、その下部電極をビットラインで結線し、その上部電極をワードラインで結線して、各々のワードライン及びビットラインにセル選択用のトランジスタを具備することにより、各メモリセルが誘電体及び強誘電体キャパシターだけで形成されて集積度を高めることができ、製作工程が簡単になり生産性を向上させることができる。



【特許請求の範囲】

【請求項 1】 相互に積み重なって形成された誘電体キャパシター及び強誘電体キャパシターの積層をその単位セルとして、前記積層の下部電極を連結してビットラインを形成し、前記積層の上部電極を連結してワードラインを形成し、前記積層をマトリックス型に配列したことを特徴とする漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ。

【請求項 2】 前記積層は、

基板と、
前記基板上にストライプ状で形成された下部電極と、
前記下部電極上に積層された誘電体層と、
前記誘電体層上に積層された導電性物質層と、
前記導電性物質層上に積層された強誘電体層と、
前記強誘電体層上に積層された上部電極と、を具備してなることを特徴とする、請求項 1 に記載の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ。

【請求項 3】 前記誘電体層または強誘電体層はトンネリング放出、ショットキー放出あるいはプールフレンケル放出原理により漏れ電流が発生する誘電物質から形成されたことを特徴とする、請求項 2 に記載の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ。

【請求項 4】 前記ストライプ状の下部電極をそのまま前記ビットラインとして用いることを特徴とする、請求項 2 又は請求項 3 に記載の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ。

【請求項 5】 前記上部電極を前記下部電極と交差する方向のストライプ状に形成してそのまま前記ワードラインとして用いることを特徴とする、請求項 2 に記載の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ。

【請求項 6】 (a) 基板上に下部電極、誘電体層、導電性界面層、強誘電体層及び上部電極層を順次に積層した後選択的に蝕刻して前記積層をストライプ状で形成する段階と、

(b) 前記下部電極を除いた残りの積層を選択的蝕刻法にて一定の間隔で分離して各々のメモリセルを形成する段階と、

(c) 前記分離されたメモリセルが完全に覆われるようにメモリセル間の分離された空間に絶縁物質を埋め立てた後、前記上部電極が露出されるようにウインドを形成する段階と、

(d) 前記ウインド部分が埋め立てられるように導電性物質を蒸着して前記上部電極と接触させ、前記蒸着された導電性物質を前記下部電極と交差する方向のストライプ状でパターニングしてワードラインを形成する段階とを含むことを特徴とする、漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリの製造方

法。

【請求項 7】 不純物拡散により形成された下部電極としての拡散層を具備した基板上に相互に積み重なって形成された誘電体キャパシター及び強誘電体キャパシターの積層を複数の単位セルとし、前記下部電極をビットラインとして、前記積層の上部電極を連結しワードラインを形成して前記積層をマトリックス型で配列したことを特徴とする、漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ。

10 【請求項 8】 前記積層は、

前記基板上に積層された誘電体層と、
前記誘電体層上に積層された導電性物質層と、
前記導電性物質層上に積層された強誘電体層と、
前記強誘電体層上に積層された上部電極とを具備してなることを特徴とする、請求項 7 に記載の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ。

20 【請求項 9】 前記誘電体層はトンネリング放出、ショットキー放出、あるいはプールフレンケル放出原理により漏れ電流が発生する誘電物質から形成されたことを特徴とする、請求項 8 に記載の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ。

【請求項 10】 前記上部電極を前記下部電極と交差する方向のストライプ状に形成してそのまま前記ワードラインとして用いることを特徴とする、請求項 8 又は請求項 9 に記載の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ。

30 【請求項 11】 前記上部電極は前記強誘電体層を覆った絶縁物質層にウインドを形成して接触するように形成されたことを特徴とする、請求項 8 に記載の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ。

【請求項 12】 (a) 半導体基板の上層部に下部電極用としてストライプ状の拡散層を形成する段階と、

(b) 前記拡散層が形成された半導体基板の全面にかけて誘電体を塗布して誘電体層を形成する段階と、

40 (c) 前記誘電体層上の全面に導電性物質と強誘電体物質を順次に塗布して導電性界面層及び強誘電体層を形成した後、前記導電性界面層及び強誘電体層を選択的に蝕刻してメモリセルを形成する段階と、

(d) 前記メモリセルが分割された空間に強誘電体層が覆われるように絶縁物質を塗布した後、前記強誘電体層上の絶縁物質を選択的に取り除いて前記強誘電体層が露出されるようにウインドを形成する段階と、

(e) 前記ウインドが埋め立てられるように導電性物質を蒸着かつパターニングして上部電極を形成する段階と、

50 (f) 前記上部電極が分割された空間に前記上部電極が覆われるように絶縁物質を塗布し、前記上部電極が露出されるようにウインドを形成する段階と、

(g) 前記ウインドが埋め立てられるように導電性物質を蒸着し、前記拡散層と交差する方向のストライプ状でパターンニングしてワードラインを形成する段階とを含むことを特徴とする、漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリの製造方法。

【請求項 13】 前記 (c) 段階で、前記誘電体層まで選択的に蝕刻してメモリセルを形成することを特徴とする、請求項 12 に記載の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は誘電体あるいは強誘電体の漏れ電流を用いて不揮発性を有しながら多進法を具現できる漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ及びその製造方法に関する。

【0002】

【従来の技術】 一般に、ランダムアクセスメモリセルは電界効果トランジスタ (FET) と線形キャパシターから構成されている。線形キャパシターは二つの電極の間に誘電体が介在されており、この誘電体の分極による電荷蓄積現象 (充電) を用いてデータを覚えるようになる。しかしながら、線形キャパシターに介在された誘電体の物理的特性により充電された電荷は自ずから放電されるために、周期的にセルを再充電して再記録 (refresh) しなければメモリとしての機能を果たせなくなる。

従って、周期的に再記録する機能が追加されるべきである。かつ、一応電源が遮断されれば再記録する機能も止まるためにキャパシターの電荷は全て放電されて記録が失われる。即ち、揮発性を帯びるようになる。

【0003】 このように記録が揮発することを防止するために、強誘電体を誘電物質として用いた強誘電体キャパシターを用いたメモリが提案されている。一般に、強誘電体キャパシターは、強誘電体の物理的特性に起因して分極 (polarization) により充電された電荷が放電されないため、再記録せず情報を容易に格納できる媒体である。このような強誘電体の分極を用いたメモリにおいて記憶状態を読み出す方法には、一定の信号を強誘電体キャパシターに印加して分極状態を反転 (スイッチング) させながら発生する信号を感知して記憶状態を読む破壊的方法、即ち DRO (Destructive Read Out) 方法と、記録時のみに分極反転が発生し再生 (読出) 時には分極反転が発生しない非破壊的方法、即ち NDRO (Non Destructive Read Out) 方法がある。強誘電体キャパシターに情報を記録／再生するために繰り返してスイッチングすれば、分極状態の反転による疲労現象が累積されて強誘電体の分極状態が段々弱まるので、非破壊的方法がメモリの寿命延長に有利である。ラムトロン (Ramtron) の 1 T-1 C F R A M の設計方式は破壊的方法の代表的な例であり、ラジアントテクノロジー (Radiant Technol-

ogies) 社の S F R A M やローム (Rohm) 社の M F M I S (metal-ferroelectric-metal-insulator-Si) の設計方式は非破壊的方法の代表的な例である。しかしながら、前述した方法もメモリ素子に記録する場合には書き込みスイッチングを必ず行わなければならないので、強誘電体の疲労現象の問題を完璧に解決できるわけではない。

【0004】 また、多進法を具現できるメモリ、即ち多重状態の情報を記録できるメモリとして公知されたものとしては、シバタ (Shibata) の 4 端子トランジスタ (4 terminal transistor) と神経網トランジスタ (neuron MOSFET) 及びイシワラ (Ishiwara) の部分スイッチング (partial switching) による M F S F E T がある。ここで、シバタの 4 端子トランジスタと神経網トランジスタの動作原理を図 1 乃至図 5 を参照して説明する。

【0005】 例えば、ダイオード (図示せず) は 2 端子素子である反面、図 1 に示した F E T は 3 端子素子であり、図 2 に示したような二つのゲートを持つ F E T は 4 端子素子である。ここで、3 端子素子及び 4 端子素子はソース (S) 及びドレイン (D) を有し、3 端子素子は一つのゲート (G) を有するに比べて、4 端子素子は二つのゲート (G₁、G₂) を有するところに特徴がある。これらの動作特性は次の通りである。

【0006】 ソースドレイン間の電圧 (V_{DS} : 以下、“ドレイン電圧” という) が一定の場合において、ゲート電圧 (V_G あるいは V_{G1} と V_{G2} の合成電圧) に応じて 3 端子素子及び 4 端子素子に各々流れるソースドレイン電流 (I_D : 以下、“ドレイン電流” という) の特性曲線は図 1 及び図 2 に示したように、3 端子素子が単一の特性曲線を有する反面、4 端子素子は V_{G2} 電圧の増加に応じて複数の特性曲線を有する。

【0007】 このようなドレイン電流 (I_D) の特性を図 3 及び図 4 を参照して更に明確に比較してみれば次の通りである。3 端子素子は、図 3 に示したように、V_{DS} の飽和領域でゲート電圧 (V_G) の増加に応じてドレイン電流が増加するようになる。4 端子素子は、図 4 に示したように、ドレイン電流特性曲線が 3 次元的に表示される。V_{DS} の飽和領域 (例えば、点線表示部) で第 1 ゲート電圧 (V_{G1}) の増加に応じてドレイン電流が増加するようになるが、第 2 ゲート電圧 (V_{G2}) の増加に応じてその増加幅が更に大きくなる。

【0008】 このような、4 端子素子のドレイン電流特性を応用して多端子素子として開発されたのが図 5 に示したような神経網 MOS トランジスタ (neuron MOSFET : 以下、 ν MOS と略する) である。このような神経網 MOS トランジスタは浮遊ゲートを形成して n 個の多重ゲートを形成している。この n 個の多重ゲートに各々別の信号電圧が印加される時、V_{th} の臨界電圧を有する ν MOS は、

$$\Phi_F = (C_1 V_1 + C_2 V_2 + \dots + C_n V_n) / C_{tot} > V_{th}$$

10

20

30

40

50

である条件でターンオンされる。

【0009】しかしながら、このようなシバタの4端子トランジスタあるいは神経網トランジスタは前記のような特性を用いて多重状態の情報を記録することができるが揮発性である短所があり、イシワラのMFS FETは強誘電体を用いるので不揮発性であるが強誘電体の疲労現象が著しく現れ、メモリに用いられる強誘電体の形成物質がSi上に直接蒸着できる物質に制限される。

【0010】

【発明が解決しようとする課題】本発明は前記の問題点を改善するために案出されたものであり、疲労現象を誘発せず多重情報を記録できる誘電体または強誘電体の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリ及びその製造方法を提供するのにその目的がある。

【0011】

【課題を解決するための手段】前記の目的を達成するために本発明による漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリは、相互に積み重なって形成された誘電体キャパシター及び強誘電体キャパシターの積層をその単位セルとして、前記積層の下部電極を連結してビットラインを形成し、前記積層の上部電極を連結してワードラインを形成し、前記積層をマトリックス型に配列したことを特徴とする。

【0012】本発明において、前記積層は、基板と、前記基板上にストライプ状で形成された下部電極と、前記下部電極上に積層された誘電体層と、前記誘電体層上に積層された導電性物質層と、前記導電性物質層上に積層された強誘電体層と、前記強誘電体層上に積層された上部電極とを具備し、前記誘電体層または強誘電体層はトンネリング放出、ショットキー放出、あるいはプルーフレンケル放出原理により漏れ電流が発生する誘電物質から形成され、前記ストライプ状の下部電極をそのまま前記ビットラインとして用いることが望ましい。

【0013】また、前記の目的を達成するために本発明による漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリの製造方法は、(a)基板上に下部電極、誘電体層、導電性内部層、強誘電体層及び上部電極層を順次に積層した後を選択的に蝕刻して前記積層をストライプ状で形成する段階と、(b)前記下部電極を除いた残りの積層を選択的蝕刻法にて一定の間隔で分離して各々のメモリセルを形成する段階と、(c)前記分離されたメモリセルが完全に覆われるようにメモリセル間の分離された空間に絶縁物質を埋め立てた後、前記上部電極が露出されるようにウインドを形成する段階と、(d)前記ウインド部分が埋め立てられるように導電性物質を蒸着して前記上部電極と接触させ、前記蒸着された導電性物質を前記下部電極と交差する方向のストライプ状でパターニングしてワードラインを形成する段階とを含むことを特徴とする。

【0014】ここで、前記の目的を達成するために本発明による更に他の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリは、不純物拡散により形成された下部電極としての拡散層を具備した基板上に相互に積み重なって形成された誘電体キャパシター及び強誘電体キャパシターの積層を複数個の単位セルとして、前記下部電極をビットラインとして、前記積層の上部電極を連結しワードラインを形成して前記積層をマトリックス型に配列したことを特徴とする。

【0015】さらに、本発明において、前記積層は、前記基板上に積層された誘電体層と、前記誘電体層上に積層された導電性物質層と、前記導電性物質層上に積層された強誘電体層と、前記強誘電体層上に積層された上部電極とを具備し、前記誘電体層または強誘電体層はトンネリング放出、ショットキー放出、あるいはプルーフレンケル放出原理により漏れ電流が発生する誘電物質から形成されることが望ましい。

【0016】また、前記の目的を達成するために本発明による更に他の漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリの製造方法は、(a)半導体基板の上部層に下部電極層としてストライプ状の拡散層を形成する段階と、(b)前記拡散層が形成された半導体基板上の全面にかけて誘電体を塗布して誘電体層を形成する段階と、(c)前記誘電体層上の全面に導電性物質と強誘電体物質を順次に塗布して導電性界面層及び強誘電体層を形成した後、前記導電性界面層及び強誘電体層を選択的に蝕刻してメモリセルを形成する段階と、(d)前記メモリセルが分割された空間に強誘電体層が覆われるように絶縁物質を塗布した後、前記強誘電体層上の絶縁物質を選択的に取り除いて前記強誘電体層が露出されるようにウインドを形成する段階と、(e)前記ウインドが埋め立てられるように導電性物質を蒸着かつパターニングして上部電極を形成する段階と、

(f)前記上部電極が分割された空間に前記上部電極が覆われるように絶縁物質を塗布し、前記上部電極が露出されるようにウインドを形成する段階と、(g)前記ウインドが埋め立てられるように導電性物質を蒸着し、前記拡散層と交差する方向のストライプ状でパターニングしてワードラインを形成する段階とを含むことを特徴とする。

【0017】さらに、本発明において、前記(c)段階で前記誘電体層まで選択的に蝕刻してメモリセルを形成することができる。

【0018】

【発明の実施の形態】以下、図面に基づき本発明による漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリを更に詳細に説明する。本発明による漏れ電流を用いた多進法強誘電体ランダムアクセスメモリは本発明者の先出願に開示された漏れ電流を用いた強誘電体メモリを応用したものである。これを図6乃至図

14を参照して、その基本構造及び動作について説明する。

【0019】まず、メモリの単位セルは、図6に示したように、主にFETとその上部に形成された二つのキャパシターから形成される。即ち、基板1上にソース2及びドレイン3が具備され、ゲートとして二つのキャパシターが形成されてFETを形成するようになるが、前記二つのキャパシターは前記ソース2及びドレイン3間の通電チャンネルを覆うように誘電体層4、下部電極5、強誘電体層6及び上部電極7が順次に積層されて形成される。

【0020】ここで、誘電体はトランジスタのゲート絶縁物の代りに用いられ、その上に強誘電体キャパシターが搭載されて、実質的に上部電極7がゲートとしての役割を果たすようになる。そして、誘電体層4の形成物質として強誘電体を直接用いることもできるが、これは本発明のメモリでは極端な反転が要らないからである。また、誘電体層及び強誘電体層は各々図7に示したような漏れ電流特性を有する物質から形成されたことを特徴とする。即ち、強誘電体は“書込”電圧(V_o)または“削除”電圧(V_d)における漏れ電流(I_L)が小さく、誘電体は“書込”電圧(V_o)における漏れ電流(I_L)が小さく“削除”電圧(V_d)における漏れ電流が大きく設定される。このことにより、“削除”時には誘電体を通じて電流が流れながら強誘電体キャパシターの下部電極5に拘束電荷が形成されるようになる。ここで、誘電体層として高誘電体及び強誘電体を用いることもできる。ただし、その漏れ電流の特性が、図7に示したように、トンネリング放出(tunneling emission)、ショットキー放出(Schottky emission)かプルー
フレンケル放出(Pool-Frenkel emission)の原理を用いてチャンネルの拘束電荷量を減少させるものである必要がある。その他にも空間電荷制限電流などの高電場電流を用いてチャンネルの拘束電荷量を減少させ、誘電体層として高誘電体あるいは強誘電体を用いることもできる。強誘電体の漏れ電流は“削除”電圧(V_d)の時誘電体の漏れ電流より大きくなる場合もある。

【0021】前述のような漏れ電流の特性によりメモリセルは、“書込”時にはチャンネルの間に拘束電荷が形成されるために小さいゲート電圧(V_g)でもトランジスタが“オン”状態になり、“削除”時にはチャンネルの拘束電荷が一部消滅される代わりに強誘電体キャパシターの下部電極に拘束電荷が形成されるため、トランジスタを“オン”するためには更に大きい V_g 電圧が要求される。結局、“削除”された状態でゲートに電圧 V_g を加えてもメモリセルのトランジスタは“オフ”状態となる。

【0022】図8及び図9を用いて、前述のようにメモリセルが各々“オン”及び“オフ”される過程を説明する。トランジスタの基板を接地させる場合、ワードライ

ン(ゲート)とビットラインとの電圧差が、“書込”時には図8に示したように $V_o (=V_w + V_b)$ になり、“削除”時には図9に示したように $V_d (=V_e + V_b)$ になるように、ビットラインに負電圧($-V_b$)を印加する。即ち、“書込”時にはワードラインとビットラインに各々図11に示したような波形の V_w 及び $-V_b$ の電圧を印加すれば、図8に示したようにFETの通電チャンネルに拘束電荷が充電され(漏れ電流 I_O は無視される)、“削除”時にはワードラインとビットラインに各々図13に示したような波形の V_e 及び $-V_b$ の電圧を印加すれば、図9に示したように誘電体の漏れ電流(I_D)により通電チャンネルの拘束電荷が上部に移動して強誘電体キャパシターの下部電極5に拘束電荷が形成される。従って、通電チャンネルの機能が弱まってFETは“オフ”になる。 V_d の印加時、漏れ電流のレベルが誘電体に対するものより強誘電体に対するものが大きくなる場合、漏れ電流は強誘電体を通して流れる。

【0023】一方、図10は漏れ電流を用いた強誘電体メモリセルの読出時に現れる電流(I)の特性曲線である。このような、誘電体及び強誘電体の印加電圧に応じる漏れ電流の特性を用いてワードライン及びビットラインに図12及び図14に示したような読出電圧 V_g 及び V_r を“書込”状態と“削除”状態のメモリセルに各々印加すれば、“書込”状態では図11に示したような小さなワードライン電圧(V_w)の印加に応じてFETの通電チャンネルに拘束電荷が充電された状態なので、ゲート電圧 V_g の印加に応じてFETは“オン”状態になり大きい電流(検出できる電流)が流れる。また、“削除”状態では図13に示したような大きいワードライン電圧(V_e)の印加に応じて拘束電荷が漏れて強誘電体キャパシターの下部電極に移動した状態なので、ゲート電圧 V_g が印加されてもFETの通電チャンネルには拘束電荷が十分に充電されていないために、FETは“オフ”状態になりほとんど電流が流れなくなる(検出できない電流)。

【0024】次に、FETの基板1を浮遊させる場合、ビットラインが接地された状態でゲート電圧(V_g)だけを調整すればよい。本発明による漏れ電流を用いた多進法強誘電体ランダムアクセスメモリは前述のような構造の漏れ電流を用いた強誘電体メモリに削除時に各状態を調節する各々異なるレベルの削除電圧を提供する電源を具備して形成される。即ち、図15に示したような負(negative)パルス電圧をビットラインに印加して、図16に示したように、誘導電荷量を変化させて形成された多重状態を用いて多進法を具現する。

【0025】図15の(A)は図11に示したような書込“0”の状態を具現するためにワードライン及びビットラインに印加する電圧の波形を削除信号と比較できるように示したものであり、図15の(B)は図13に示したような“削除”電圧の波形を多様化したものであり、各

誘導電荷量の状態別のビットラインに印加する電圧及びワードラインの電圧を各々表す。図 16 に示したような誘導電荷量の状態を調節する方法には、各誘導電荷の状態を調節するためにビットラインに負パルス電圧の幅が同じでレベルが異なる負パルス電圧を印加する方式と、図 15 に示したように、各状態を調節するためにビットラインに同レベルの負パルス電圧の印加時間を別々にする方式、即ち各々異なるパルス幅の負パルス電圧を印加して削除時間（誘導電荷を減少させるための）を調節する方式がある。このような誘導電荷を減少させるためには前記二つの方式を混合して用いることも望ましい。

【0026】図 17 はビットラインに各々異なるレベルの電圧を印加する方式を用いる場合、単位セルのトランジスタにおけるゲート電圧に応じるドレイン電流の特性曲線を示したものである。また、図 18 は削除時間に応じる単位メモリセルの読出時のトランジスタの出力特性曲線である。読出時にゲート電圧は同一であるが、トランジスタチャンネルの誘導電荷状態、即ち削除時間の長さに応じて出力が変化する。

【0027】前述のような本発明の漏れ電流を用いた多進法強誘電体ランダムアクセスメモリにおける電流漏洩のための単位メモリセルの基本構造は、本出願人により提案された FDRAM や NDFRAM とは拘束電荷を放電させる方式において異なる。即ち、FDRAM や NDFRAM ではチャンネル内の拘束電荷を放電するために強誘電体キャパシターの下部電極に別途の選択トランジスタを接続しているが、本発明のメモリでは誘電体または強誘電体を貫通する漏れ電流に頼って放電するので、別の選択トランジスタを設ける必要がなく、構造が簡単で高集積化される。フラッシュメモリあるいは EEPROM においては作動方法が本発明と類似であるが、フラッシュメモリはトンネルリング電流でのみ“削除”するのが特徴である。前記トンネルリングのためには Vd よりも高い電圧が要求され、また高電圧による誘電体のブレイクダウン (breakdown) が誘発されて、その寿命が百万回以下になるのが通例である。本発明ではトンネルリングよりは電圧が低いので寿命も延びる。また、多進法を具現するために複数個のゲートを必要とせず、たった一つのゲートに印加される削除時の電圧レベルあるいは削除時間だけを調節できる電源装置のみを具備すればいいので、高集積度のメモリを得ることができる。

【0028】一方、前述のような漏れ電流を用いた強誘電体メモリは各セル当りのゲート、ソース、ドレインが占める空間を必要とする。これは集積度が高まるほど広い空間を占めるということの意味する。従って、メモリセルの集積度が高まるほどゲート面積を縮めなければならない。ところが、ゲートの厚さは限られているため、ゲート面積だけを縮めるとゲート上に形成されるキャパシターは平板ではなく柱状になる。柱状のキャパシターをパターンニングすることは工程上非常に難しい問題を招

く。また、ゲート毎にソース及びドレインが必須的に伴うので、ソース及びドレインが占める面積も集積度の向上を妨げる大きな要素になる。

【0029】このような強誘電体キャパシターがゲートの上部に形成されることにより、メモリの集積度を低下させる問題点を改善したものが、図 19 に示したように、メモリ機能を有するキャパシターを別に分離してマトリックス状に作ったマトリックス型多進法強誘電体メモリである。強誘電体は誘電体上にあるいは誘電体下に形成される。ここで示すように、本発明による漏れ電流を用いたマトリックス型多進法強誘電体メモリは、強誘電体キャパシターと誘電体キャパシターの対が各々一つのメモリセルをなし、この対はビットラインとワードラインで連結されてマトリックスを構成する。ワードラインは上部電極から構成されビットラインは下部電極から構成されるが、各々のワードラインとビットラインはトランジスタにより選択される。例えば、ワードライン選択トランジスタ SW1 にてワードライン W1 を選択しビットライン選択トランジスタ SB2 によりビットライン B2 を選択すれば、第 1 列第 2 行にあるキャパシターセル 2、1 が選択されて動作する。このような各メモリセル内の動作原理は、図 20A 乃至図 20F に示した通りである。これは従来の技術の作動方法と原理的には同一であるが、メモリの状態を決定する方式が異なる。即ち、従来の技術のメモリではキャパシターとトランジスタが対をなしてウェルに形成されたチャンネルに沿って測定される電流量に応じてメモリ状態を決定したが、本発明によるマトリックス型多進法強誘電体メモリでは各キャパシターメモリセル自体から測定される充電電流差を用いてメモリ状態を決定する。もちろん、この充電電流差は電荷量や電流で変換され得る。図 20A 乃至図 20F は各キャパシターメモリセル自体で書込かつ読出を行う原理を示したものであり、書込の回数（進数）に応じて測定される電荷量の変化を例示したものである。

【0030】これは従来の技術で詳細に説明してある。このようなマトリックス型多進法強誘電体メモリの実施例を図面に基づき更に詳細に説明する。

【0031】図 21 及び図 22 は漏れ電流を用いたマトリックス型多進法強誘電体メモリの第 1 実施例を示したものである。ここに示すように、第 1 実施例は基板 10 上にビットラインになるストライプ状の下部電極 11 を設け、その上に誘電体層 12、導電性界面層 13、強誘電体層 14 及び上部電極 15 が順次に積層されたキャパシター構造を一定の間隔で形成する。強誘電体層 14 を誘電体層より先に形成することもできる。その空いた空間に絶縁物質 17 を埋め立てた後、前記下部電極 11 と交差する方向のストライプ状のワードライン 16 を形成した構造からなっている。図 22 は図 21 の A-A 線に沿った断面図である。

【0032】前述のような第 1 実施例のメモリを製造す

る方法は図 2 3 乃至 図 2 6 に示した通りである。まず、図 2 3 に示したように、基板 1 0 0 の上に下部電極（ビットライン）、誘電体層、導電性界面層、強誘電体層及び上部電極層の順に積層されたストライプ状の順次積層構造を形成する。次に、図 2 4 に示したように、ビットラインになる下部電極を除いた残りの順次積層構造を一定な間隔で分離して各々のメモリセル構造を形成する。次に、図 2 5 に示したように、前記分離されたメモリセルが完全に覆われるようにメモリセル間の分離された空間に絶縁物質を埋め立てた後、上部電極にワードラインを接続するためのウインド 2 0 を形成する。次に、図 2 6 に示したように、ビットライン（下部電極）1 1 と交差する方向のストライプ状のワードラインを前記ウインド部分が埋め立てられるように形成して上部電極と接触させることによりマトリックス型メモリを完成する。

【0 0 3 3】図 2 7 は図 1 9 のマトリックス型多進法強誘電体メモリの第 2 実施例を示した断面図である。ここに示すように、第 2 実施例のマトリックス型多進法強誘電体メモリは、下部電極の代りに拡散層(diffusion layer)を用いたことを最大の特徴とする。即ち、第 2 実施例は基板 2 0 0 に一定な間隔のストライプ状で下部電極用の拡散層 2 1 を形成し、誘電体を全面的に塗布して誘電体層 2 2 を形成した後、前記拡散層 2 1 が形成された領域上の誘電体層 2 2 の上に浮遊ゲート（導電性界面層）2 3、強誘電体層 2 4 及び上部電極 2 5 を順次に積層し、前記ストライプ状の拡散層上で一定な間隔で分割させて各メモリセルを形成し、その上部に前記拡散層 2 1 と交差する方向にストライプ状のワードライン 2 6 を形成する。ここで、強誘電体層 2 4 はその上部まで覆われた絶縁物質 2 7 により隔離され、強誘電体 2 4 を露出させるウインド 3 0 を通して上部電極と接触される。前記上部電極 2 5 も同じく絶縁物質 2 7 で覆われて隔離され、ウインド 4 0 を通してワードライン 2 6 と接触するようになっている。

【0 0 3 4】かかる構造の第 2 実施例のメモリを製造する方法は図 2 8 乃至 図 3 1 に示した通りである。まず、図 2 8 に示したように、基板 2 0 0 の上層部に下部電極（ビットライン）用の拡散層 2 1 をストライプ状で形成する。次に、図 2 9 に示したように、拡散層 2 1 が形成された基板 2 0 0 上の全面にかけて誘電体を塗布して誘電体層 2 2 を形成する。次に、導電性物質と強誘電体物質を全面に塗布して導電性界面層 2 3 及び強誘電体層 2 4 を形成しパターニングして分割されたセルを形成した後、分割空間に強誘電体層 2 4 が覆われるように絶縁物質を塗布する。強誘電体層 2 4 上の絶縁物質を選択的に取り除いて強誘電体層 2 4 が露出されるようにウインド 3 0 を作る。このウインド 3 0 を通して電気的接触が行われるように、図 3 0 に示したように、セル別に分割された上部電極 2 5 を形成する。次に、図 3 1 に示したように、上部電極 2 5 が覆われるように絶縁物質を塗布

し、上部電極 2 5 が露出されるようウインド 4 0 を作った後、このウインド 4 0 を通して上部電極 2 5 が接触されるようにワードライン 2 6 を形成する。このワードライン 2 6 はビットラインを形成する前記ストライプ状の拡散層 2 1 と交差するストライプ状の電極から形成される。

【0 0 3 5】図 3 2 は図 1 9 のマトリックス型多進法強誘電体メモリの第 3 実施例を示した図面である。この第 3 実施例は、図示したように、第 2 実施例のメモリで誘電体及び強誘電体を含むキャパシターの形状を変調したことを特徴とする。ここで、第 2 実施例と同一な参照部材は同一な物質から形成されたことを示す。図 3 3 は図 1 9 のマトリックス型多進法強誘電体メモリの第 4 実施例を示した図面である。この第 4 実施例も同じく、図示したように、第 2 実施例のメモリで誘電体及び強誘電体を含むキャパシターの形状を変調したことを特徴とする。ここで、第 2 実施例と同一な参照部材は同一な物質から形成されたことを示す。

【0 0 3 6】そして、図 3 4 は図 1 9 のマトリックス型多進法強誘電体メモリの第 5 実施例を示した図面である。この第 5 実施例も同じく、図示したように、第 2 実施例のメモリで誘電体及び強誘電体を含むキャパシターの形状を変調したものであるが、特に誘電体層 2 2 を各セル別に分離した点を特徴とする。ここで、第 2 実施例と同一な参照部材は同一な物質から形成されたことを示す。

【0 0 3 7】

【発明の効果】以上、述べたように、本発明による漏れ電流を用いたマトリックス型強誘電体メモリは、誘電体及び強誘電体キャパシターから形成されたその単位セルをマトリックス型で結線し、その下部電極をビットラインで結線し、その上部電極をワードラインで結線して、各々のワードライン及びビットラインにセル選択用のトランジスタを具備させたものである。従って、各メモリセルが誘電体及び強誘電体キャパシターだけで形成されるので集積度を高めることができ、製作工程が簡単なので生産性を向上させることができる。

【0 0 3 8】具体的に、ゲートの厚さ対ゲート面積の比に起因する工程上の問題点が解決され、場合によって電極、強誘電体層などを順次にエッチングすることができるので、柱状キャパシターのパターニング工程を避けることができる。特に、下部電極として拡散層を用いればキャパシターの高さを縮められる長所がある。また、キャパシターはマトリックス型で形成されるのでトランジスタの数を縮めることができる。かつ、このようなマトリックス型キャパシターにおいては、クロストークあるいは干渉現象により一方のキャパシターが作動する時に隣接したキャパシターの分極に影響を与えられるが、本発明では強誘電体キャパシターと誘電体キャパシターが積み重なって用いられているので、分極反転のためには

それほど大きい信号が必要になるため、干渉によりキャパシターが分極反転される確率が減少する。

【図面の簡単な説明】

【図 1】従来の 3 端子トランジスタの記号及びゲート電圧に応じるドレイン電流の特性曲線である。

【図 2】従来の 4 端子トランジスタの記号及びゲート電圧に応じるドレイン電流の特性曲線である。

【図 3】従来の 3 端子及び 4 端子トランジスタの記号及びゲート電圧に応じる立体的なドレイン電流の特性曲線である。

【図 4】従来の 3 端子及び 4 端子トランジスタの記号及びゲート電圧に応じる立体的なドレイン電流の特性曲線である。

【図 5】従来の神経網 MOS トランジスタの概念的説明図である

【図 6】従来の技術による強誘電体メモリセルの断面図である。

【図 7】図 6 に示した強誘電体メモリセルを形成する誘電体及び強誘電体の漏れ電流の特性曲線である。

【図 8】図 6 に示した強誘電体メモリセルの印加電圧に対応する漏れ電流の特性に応じる動作を示した概略的説明図である。

【図 9】図 6 に示した強誘電体メモリセルの印加電圧に対応する漏れ電流の特性に応じる動作を示した概略的説明図である。

【図 10】図 6 に示した強誘電体メモリセルの読出時に現れる特性曲線である。

【図 11】図 6 に示した強誘電体メモリセルの記録時及び読出時の入力信号の波形図である。

【図 12】図 6 に示した強誘電体メモリセルの記録時及び読出時の入力信号の波形図である。

【図 13】図 6 に示した強誘電体メモリセルの削除時及び読出時の入力信号の波形図である。

【図 14】図 6 に示した強誘電体メモリセルの削除時及び読出時の入力信号の波形図である。

【図 15】本発明による漏れ電流を用いた多進法強誘電体ランダムアクセスメモリを具現するために削除時にメモリに印加する削除信号の波形図である。

【図 16】図 15 の削除信号により単位メモリセルのチャンネルに誘導された誘導電荷の変化量を状態別に示し

た図面である。

【図 17】ゲート電圧に応じる各誘導電荷の変化状態を示したトランジスタの特性曲線である。

【図 18】図 15 の削除信号に応じるトランジスタの電流特性曲線である。

【図 19】本発明による漏れ電流を用いたマトリックス型多進法強誘電体ランダムアクセスメモリの等価回路図である。

【図 20】A 乃至 F は図 19 のマトリックス型多進法強誘電体メモリの各セルにおいて書込時の電荷分布及び読出時の印加電圧に対する充電量を説明するための説明図である。

【図 21】図 19 のマトリックス型多進法メモリの第 1 実施例を示す斜視図である。

【図 22】その A-A' 線に沿った断面図である。

【図 23】第 1 実施例を製作するための製造工程の段階別斜視図である。

【図 24】第 1 実施例を製作するための製造工程の段階別斜視図である。

【図 25】第 1 実施例を製作するための製造工程の段階別斜視図である。

【図 26】第 1 実施例を製作するための製造工程の段階別斜視図である。

【図 27】図 19 のマトリックス型多進法強誘電体メモリの第 2 実施例を示した断面図である。

【図 28】第 2 実施例を製作するための製造工程の段階別断面図である。

【図 29】第 2 実施例を製作するための製造工程の段階別断面図である。

【図 30】第 2 実施例を製作するための製造工程の段階別断面図である。

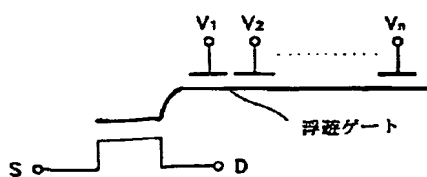
【図 31】第 2 実施例を製作するための製造工程の段階別断面図である。

【図 32】図 19 のマトリックス型多進法強誘電体メモリの第 3 実施例を示した図面である。

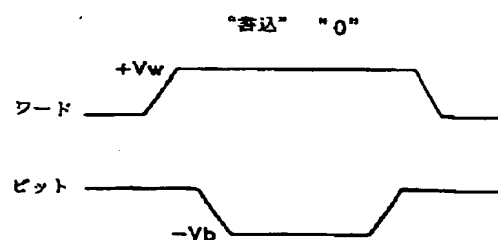
【図 33】図 19 のマトリックス型多進法強誘電体メモリの第 4 実施例を示した図面である。

【図 34】図 19 のマトリックス型多進法強誘電体メモリの第 5 実施例を示した図面である。

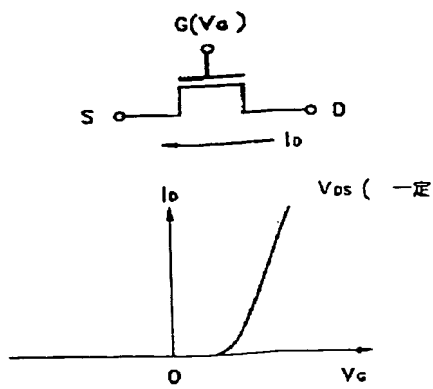
【図 5】



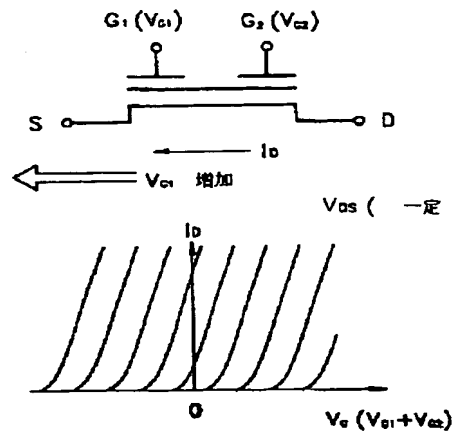
【図 11】



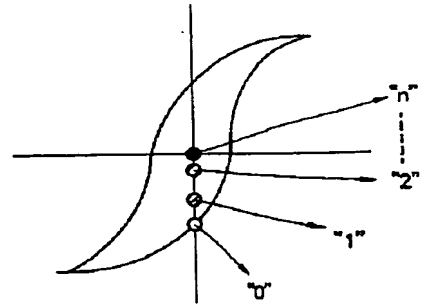
【図 1】



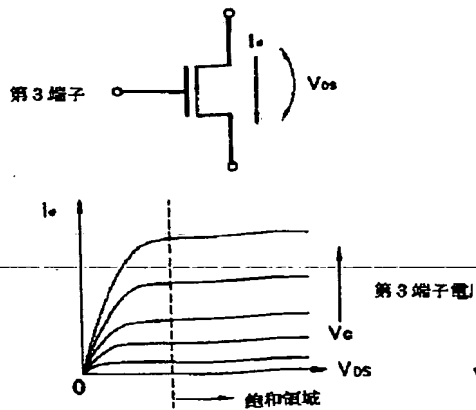
【図 2】



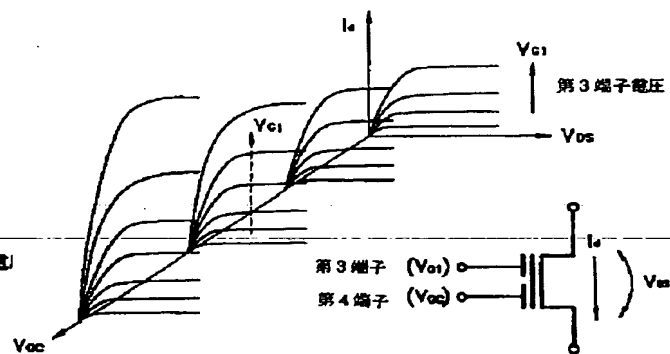
【図 16】



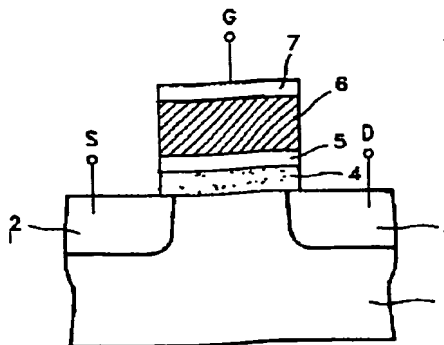
【図 3】



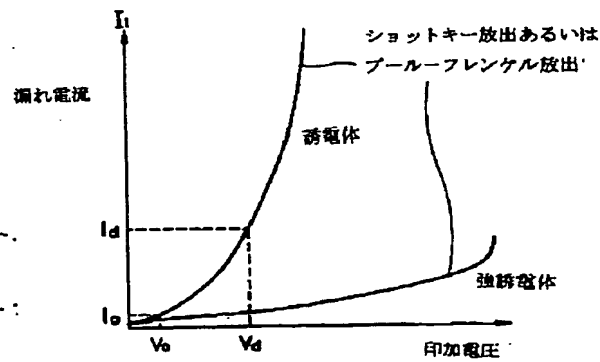
【図 4】



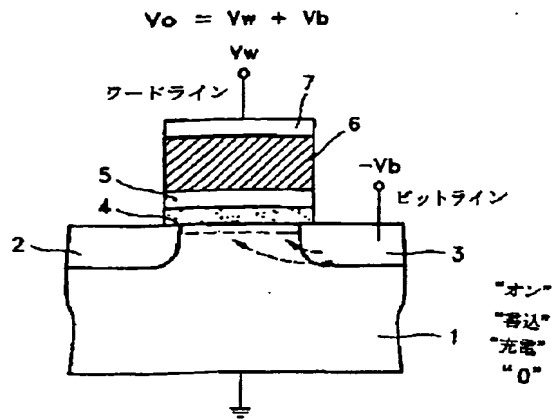
【図 6】



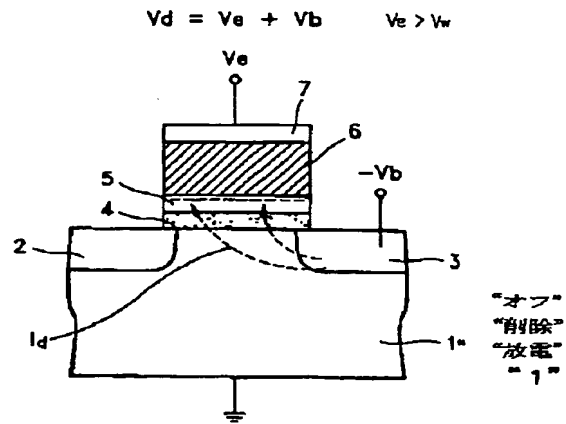
【図 7】



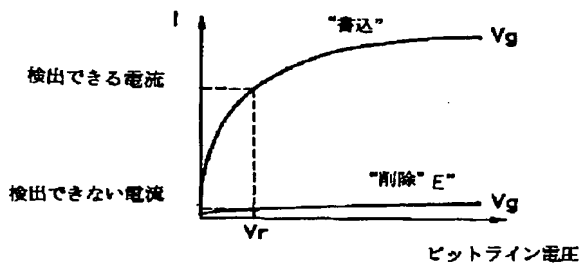
【 図 8 】



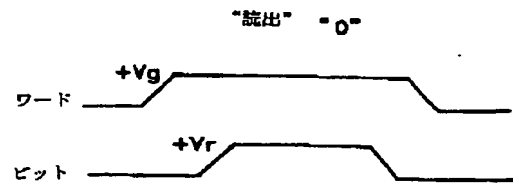
【 図 9 】



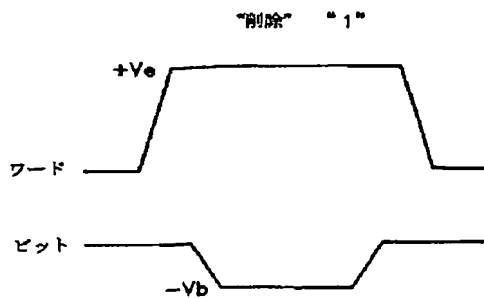
【 図 10 】



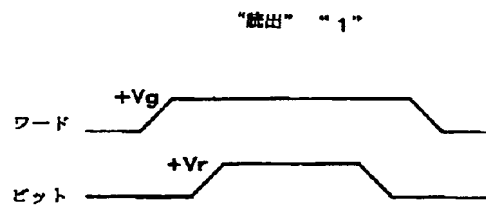
【 図 12 】



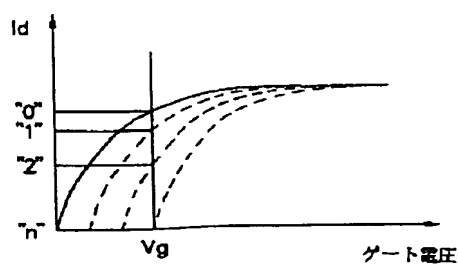
【 図 13 】



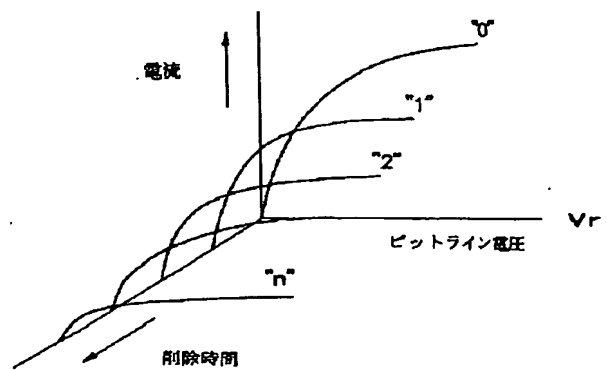
【 図 14 】



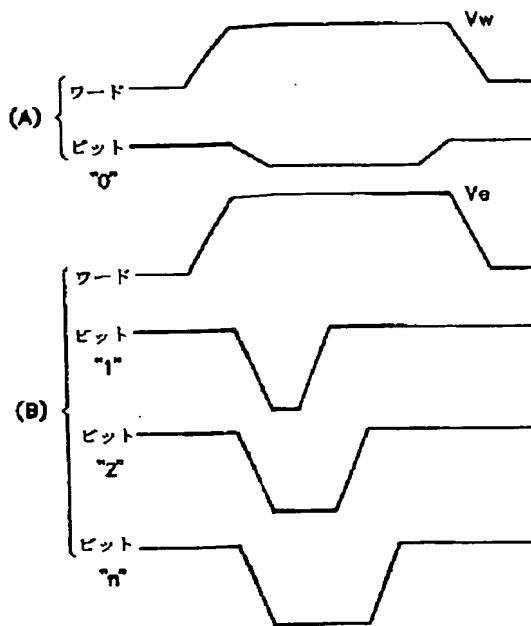
【 図 17 】



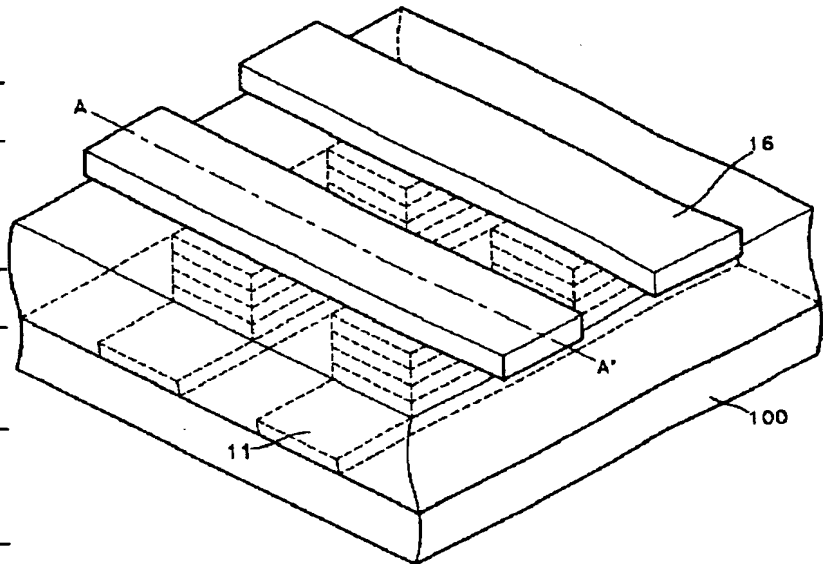
【 図 18 】



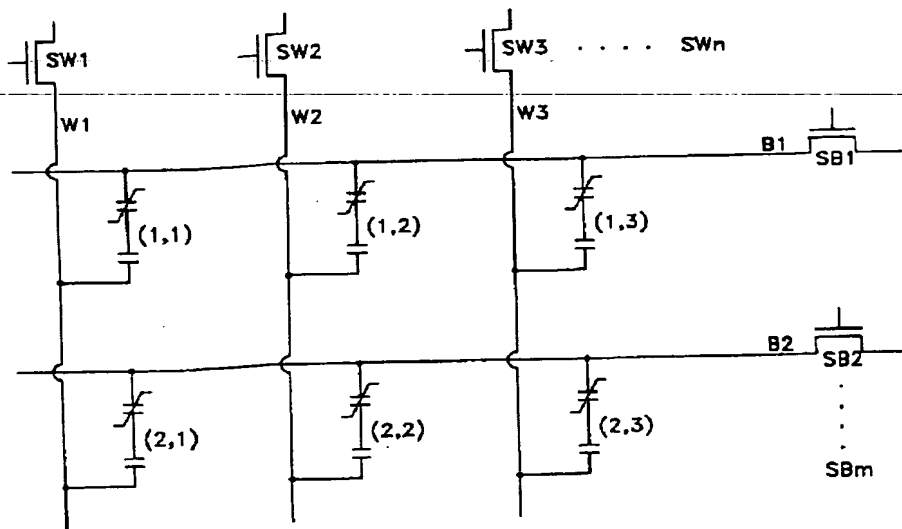
【図 15】



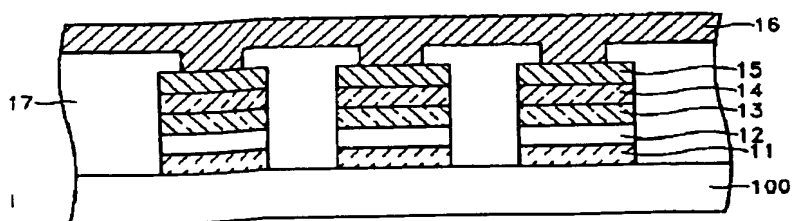
【図 21】



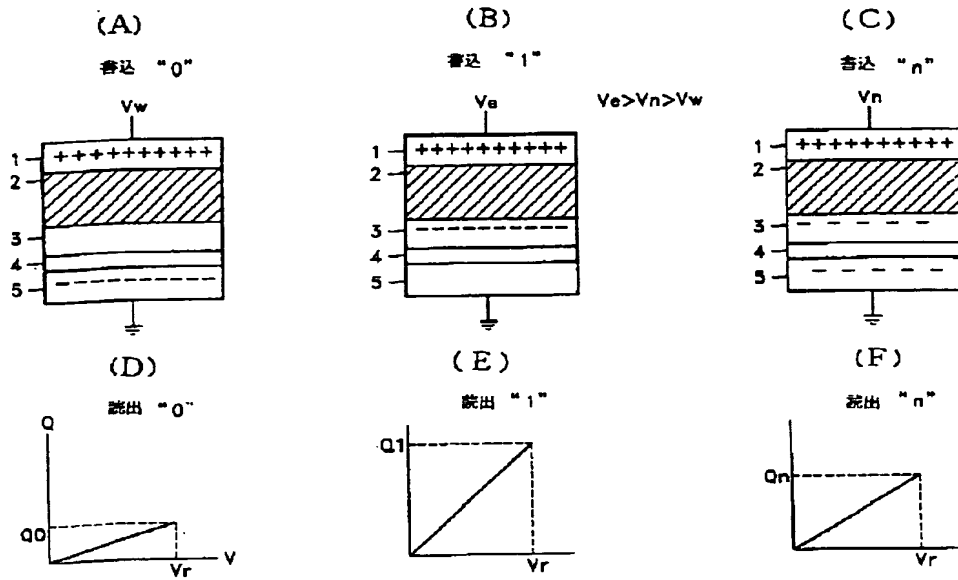
【図 19】



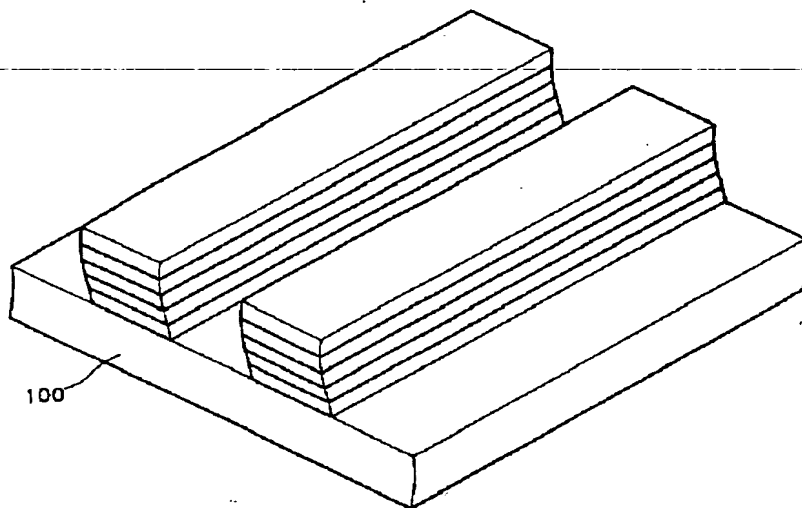
【図 22】



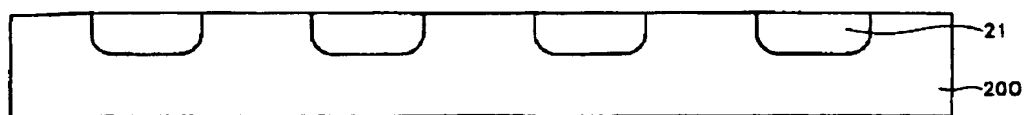
【 图 2 0 】



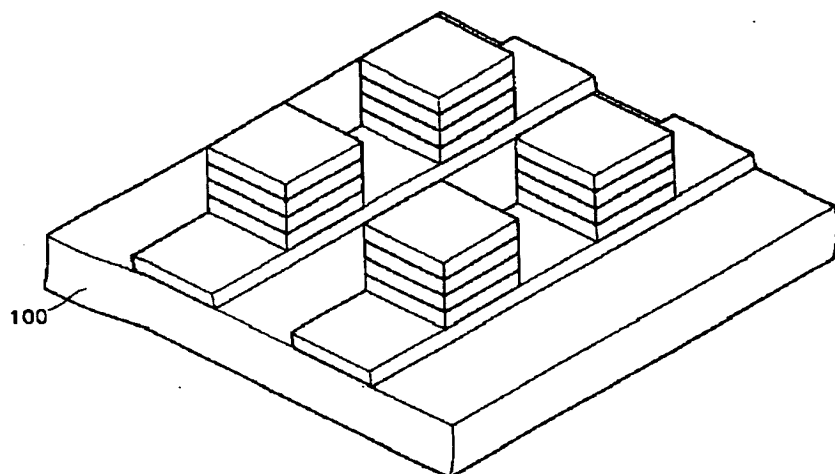
【 图 2 3 】



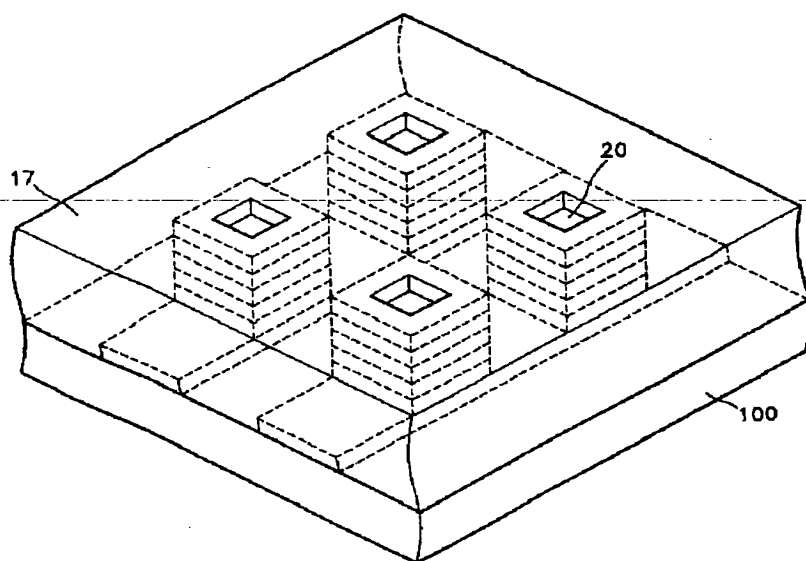
【 图 2 8 】



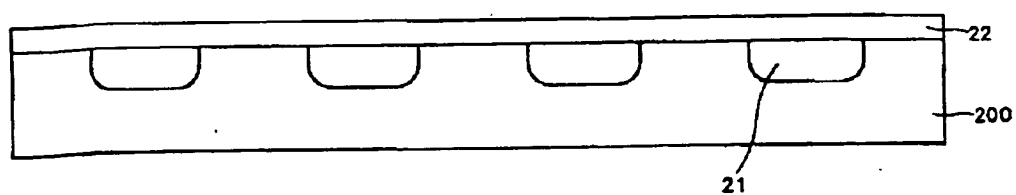
【 図 2 4 】



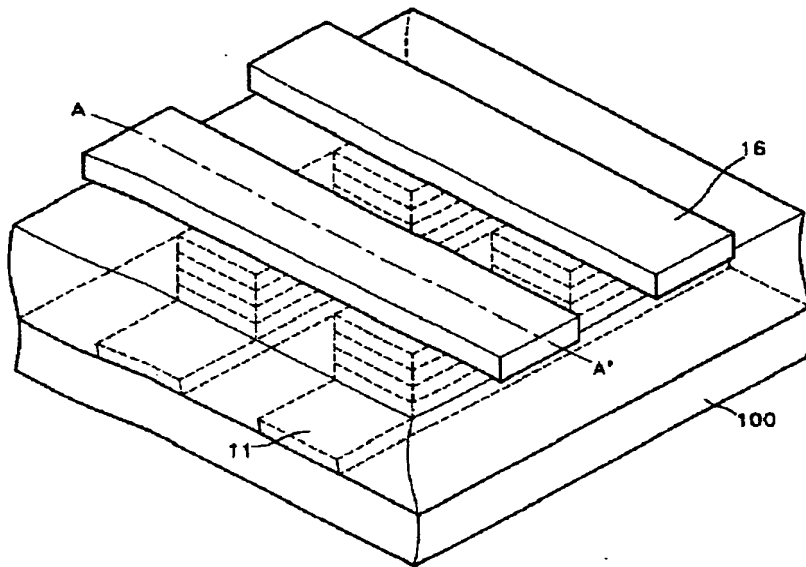
【 図 2 5 】



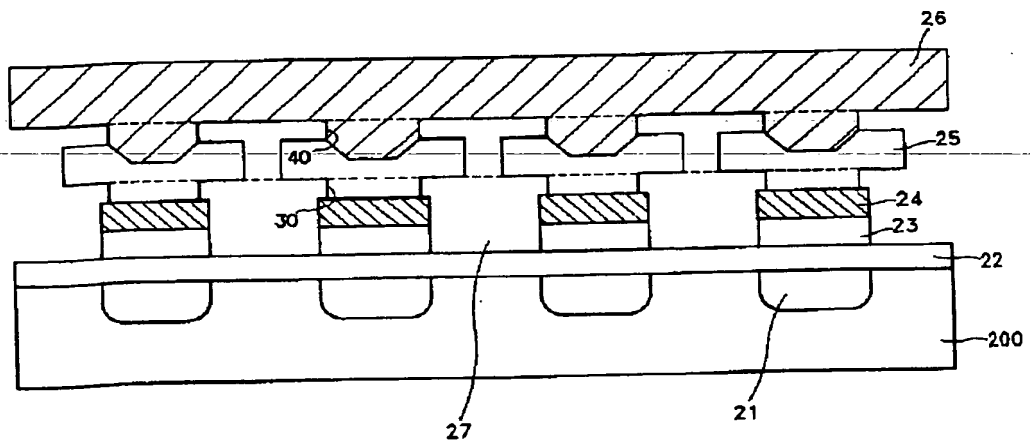
【 図 2 9 】



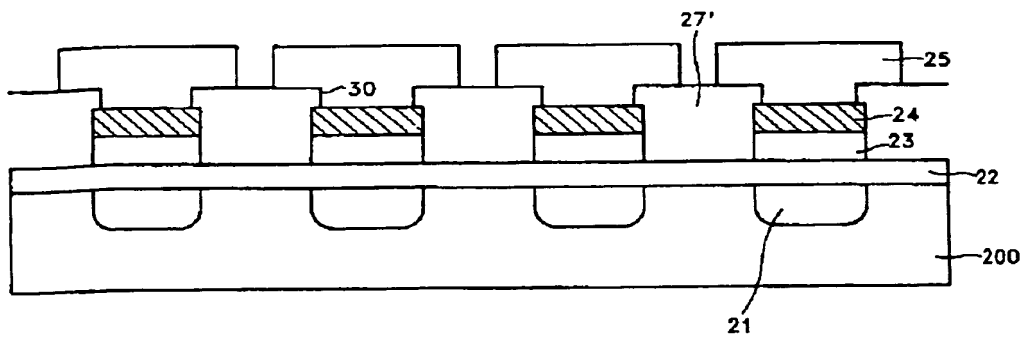
【 図 2 6 】



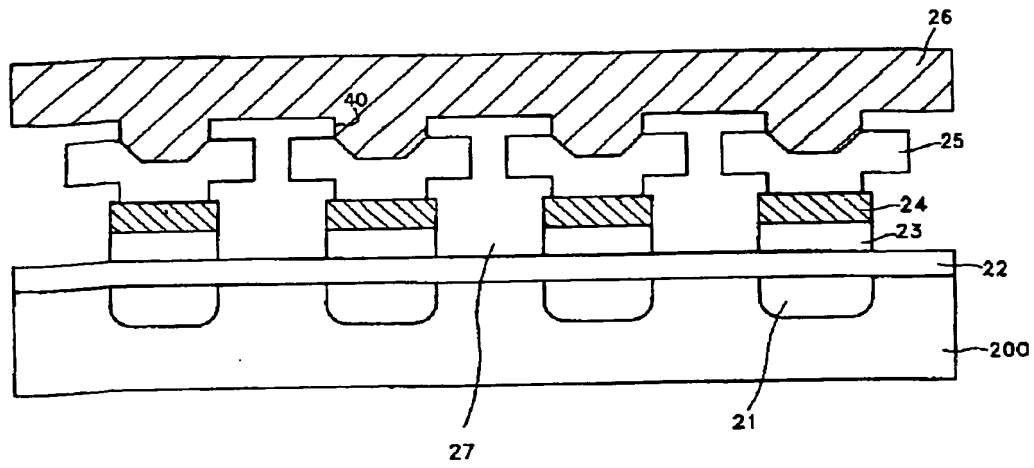
【 図 2 7 】



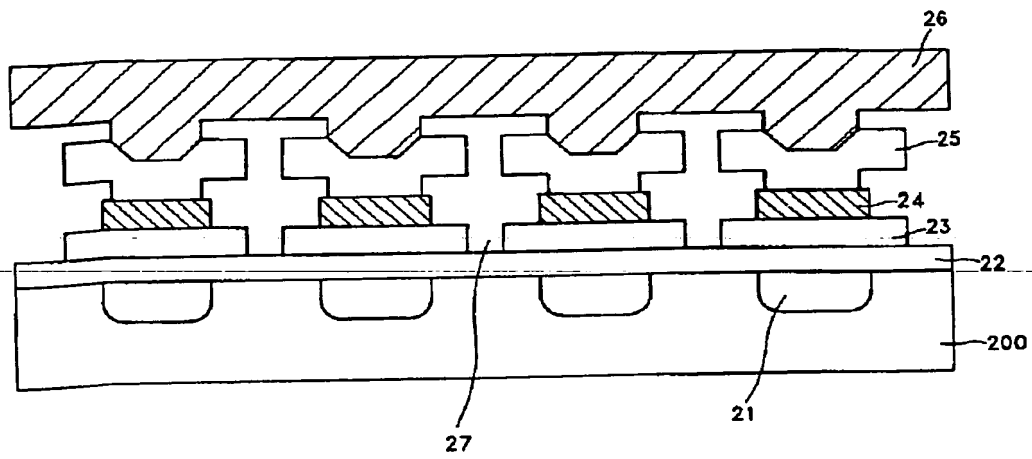
【 図 3 0 】



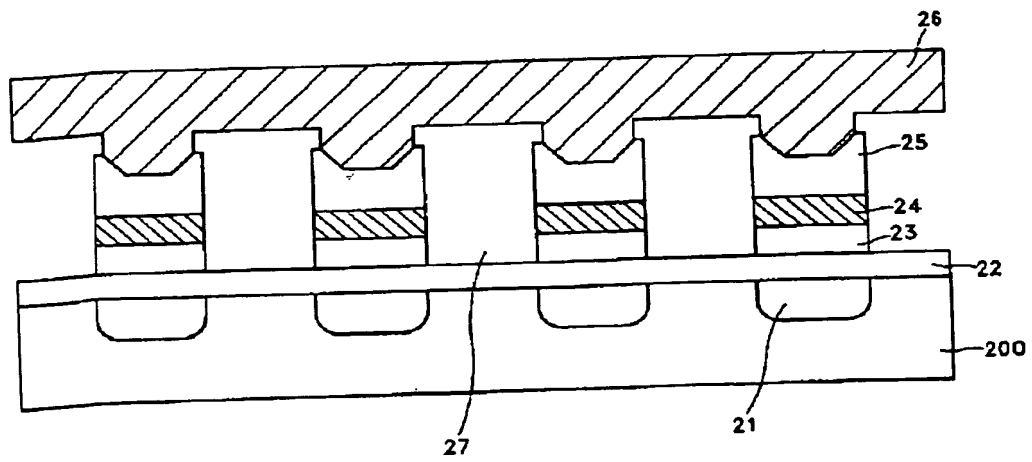
【 図 3 1 】



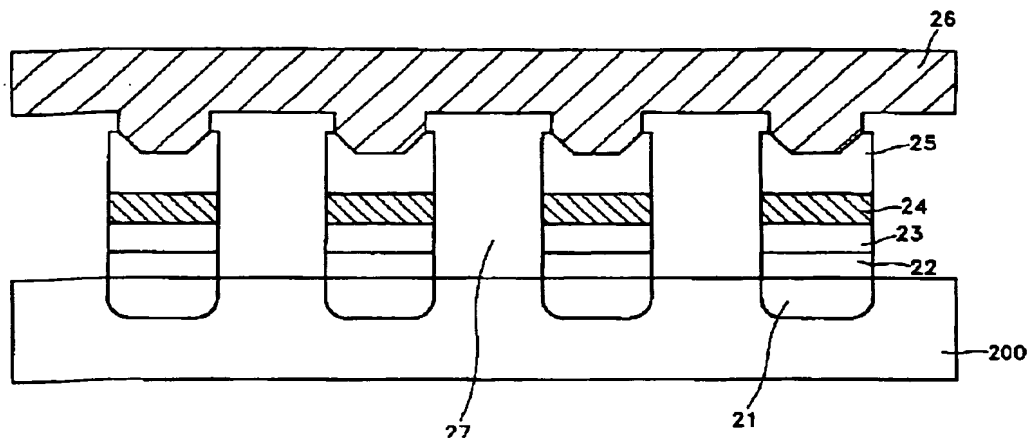
【 図 3 2 】



【 図 3 3 】



【 図 3 4 】



フロントページの続き

(51) Int. Cl.⁶

29/792

識別記号

庁内整理番号

F I

技術表示箇所